

## CMOS 光通信用ICの高速化に関する研究

著者	田邊 昭
号	2205
発行年	1998
URL	<a href="http://hdl.handle.net/10097/7478">http://hdl.handle.net/10097/7478</a>

氏名	田邊 昭
授与学位	博士(工学)
学位授与年月日	平成 10 年 9 月 9 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科、専攻の名称	東北大学大学院工学研究科(博士課程)電子工学専攻
学位論文題目	CMOS 光通信用 IC の高速化に関する研究
指導教官	東北大学教授 舩岡 富士雄
論文審査委員 主査	東北大学教授 舩岡 富士雄 東北大学教授 坪内 和夫
	東北大学教授 室田 淳一 東北大学助教授 遠藤 哲郎

## 論文内容要旨

### 1. 序論

近年インターネットなどのコンピューター間通信の普及により、情報通信需要は大幅に増加している。現在の電話回線は電話局間の通信は 2.4Gb/s の規格が主流であるが、このような高速な光通信が一般家庭まで使用されれば、大容量のマルチメディアデータも容易に伝送することが可能となる。しかし、ギガビット級の光通信の普及のためには低コストで低消費電力の光通信用 IC が不可欠である。従来、ギガビット級の光通信には高速性を要求されるために Si バイポーラや GaAs の MESFET や HBT が用いられていた。しかし、これらのデバイスは消費電力が大きくコストが高いという問題があり、低コスト低消費電力な光通信用 IC を作るためにはバルク CMOS が適していると考えられる。

MOSFET には大別してバルク MOSFET と SOI MOSFET の 2 種がある。SOI の方がトランジスタと基板との間のカップリングが小さくなるため、高速な動作が可能であるが、基板浮遊効果で動作が不安定になったり、バルクの MOSFET より高価となるという問題があった。一方、バルク MOSFET では基板が導電性であるため、基板とゲート・ソース・ドレインとの間に大きな寄生容量が存在し、これによって動作速度の低下や基板を介したクロストークなどの問題が発生する。クロストークの問題は特に光通信用の光受信器のようにアナログ回路とデジタル回路を 1 チップに集積したときのアナログ回路に対して深刻な問題となる。この問題は GHz などの高速な領域で特に顕著となるためにクロストークの抑制がバルク MOSFET の GHz 領域への応用には重要な課題となる。

本研究では、バルク MOSFET のこのような問題点を解決するための MOSFET のデバイス構造・回路を検討し、これをもとに 2.4Gb/s で動作する DEMUX(シリアルーパラレル変換器)および 1 チップの光受信器を試作した。以下ではこのチップの特性およびそれに用いたデバイス・回路技術として、高速化のための MOSFET の寄生容量低減技術、高信頼性化のための基板クロストーク低減技術について述べる。

### 2. MOSFET の高速化のための設計指針

微細な MOSFET の高性能化のためにはトランジスタ周りの寄生容量や寄生抵抗の低減が不可欠である。そこで、まず光通信 IC に用いるゲート長  $0.15 \mu\text{m}$  の MOSFET に対して、寄生成分の遅延時間への影響について解析を行った。

SPICE シミュレーションを用いて MOSFET の持つ寄生抵抗と寄生容量が遅延時間に与える影響を解析した結果、寄生抵抗についてはゲート長が  $0.1 \mu\text{m}$  程度になってもチャネル自身の抵抗が支配的であるが、寄生容量に関してはゲート容量以外の寄生容量が非常に大きいことを示した。これはゲート電極の微細化に比べてそれ以外の部分の微細化の割合が小さいためである。しかし、Localized channel implant 法を用いてソース・ドレイン部の基板濃度を低減させて寄生容量を減少させることにより、ゲート電極以外があまり微細化されなくともそれらがゲート電極程度に微細化された場合と同等の遅延時間を達成でき、このようなスケーリングの問題を回避できることを解析的に示した。

この Localized channel implant 法を用いることでリングオシレータによる測定ではでは、使用しない場合に比べて遅延時間を 30%程度高速化ができ、電源電圧 1.9V で 33ps の遅延時間が得られた。

### 3. 基板クロストークの解析

次に MOSFET の GHz 動作にとって問題となる基板クロストークの問題について検討を行なった。従来、MOSFET におけるこのようなクロストークは主に回路的な側面から検討されていた。例えば、差動回路を用いたクロストーク低減手法などの回路的な手法が主に検討されていたが個々の MOSFET の動作については考慮されていなかった。デバイス的なクロストークの解析手法としては、2 点間の伝達特性をネットワークアナライザで測定する手法などが用いられていたが、GHz 領域でのクロストークの様子は正確に測定されなかった。また、これらはクロストークの伝達特性に関するものばかりでクロストークが MOSFET に及ぼす影響については考慮されていなかった。そこで、本研究では、実際のウェル構造におけるクロストークの影響を測定し、その伝達特性や MOSFET に及ぼす影響について解析した。

この結果、各種のクロストークの中で、拡散層－拡散層間のクロストークと基板電位の変動によるしきい値の変化が実際の回路動作上問題となることが分かった。これは MOSFET が基板の間の持つカップリング容量の内、ソース・ドレイン部の拡散層と基板との間の容量が支配的であり、これによって発生するクロストークが大きな影響を持つためである。次にネットワークアナライザを用いて GHz 領域の基板クロストークを高精度に測定した。この測定結果からクロストークのモデルについて検討した結果、基板を伝わるクロストークは近距離の場合、簡単なモデルで精度良く予測できることが分かった。このモデルを用いると DC や低周波で測定したパラメータで GHz 領域のクロストークを予測できることが示された。

さらにこのクロストークが MOSFET に与える影響について考察し、クロストークを含んだ形での MOSFET の等価回路を導出した。そしてこの等価回路からクロストークに対する感度  $F_c$  を表す解析式を求めた。

$$F_c \approx \sqrt{\left(\frac{\omega C_j}{G_m}\right)^2 + K^2}$$

$C_j$ : 拡散層容量、 $G_m$ : 相互コンダクタンス、 $K$ : 基板効果定数(=しきい値電圧/基板電圧)

この感度  $F_c$  は MOSFET のクロストークに対する増幅率と入力信号に対する増幅率の比を表わしており、これが小さいほど MOSFET はクロストークに強いことになる。この結果から MOSFET のクロストーク対策として以下のようなことを示した。

a)チャネル抵抗  $r_0$  を高くせずトランスコンダクタンス  $G_m$  を大きくするようなデバイスおよび回路設計を行う。このためには従来の低ゲート電圧ではなく高ゲート電圧の回路設計が適している。

b)基板効果定数  $K$  を小さくすること。従来、微細な MOSFET では短チャネル効果の抑制のためにチャネルの深い部分に高濃度の領域を形成していたが、これでは  $K$  が大きくなるので、この代わりにチャネルの浅い部分の LDD 領域との境界に高濃度層を形成する浅いポケット注入を行うことで  $K$  を小さくしつつ短チャネル効果を抑制できることを示した。

c)アナログ回路に対してはソースおよびドレイン領域の接合容量を低減する Localized Channel Implant 法によりクロストークの低減が可能である。さらにデジタル回路の場合はソース電極はグラウンドまたは電源に接続されて一定電圧であることが多いので、信号の伝わるドレイン電極の接合容量を小さく、信号の伝わらないソース電極の接合容量を大きくする Asymmetrical Channel Implant 法が有効であることを示した。

そして以上のまとめとして GHz 領域のアナログ回路向け MOSFET として浅いポケット注入と Asymmetrical Channel Implant を組み合わせた形を提案した。

#### 4. GHz 動作 CMOS DEMUX

近年の MOSFET の微細化により、バルクの MOSFET ではゲート長  $0.1 \mu\text{m}$  近辺のものまでが試作されるようになっており、ファンアウト 1 で 20ps 程度のインバータ遅延時間が得られている。そこでバルク CMOS の GHz 動作への適用可能性を実証するため、ゲート長  $0.15 \mu\text{m}$  の微細 CMOS を用いて光通信用の 1:8 DEMUX を試作した。この結果、電源電圧 2V で 2.8Gb/s 220mW、1V で 2.6Gb/s 37mW のバルク CMOS での最高速低消費電力動作が得られた。この値は従来の Si Bipolar や GaAs MESFET, GaAs HBT で作らた DEMUX と比較しても数分の 1 の非常に小さい値となっている。

また、CMOS トランジスタの微細化における寄生抵抗や寄生成分の動作速度に及ぼす影響について検討した結果、ゲート長のみをスケールリングするような設計ルールで高周波で動作する IC には有効であることを示した。

#### 5. 2.4Gb/s 光受信器の CMOS による 1 チップ化

一般的な光通信用の光受信器はアナログ回路のプリアンプ、AGC(Automatic Gain Controller)とデジタル回路の PLL(Phase Locked loop)、DEMUX で構成される。光受信器の 1 チップ化において問題となると考えられることはデジタル回路とアナログ回路の間の基板を介したクロストークとトランジスタの特性ばらつきである。

そこで、まず光通信用 IC の光受信部に用いるプリアンプ回路の基板クロストークの問題について検討を行った。この結果、従来の入力 MOSFET の出力をソースフォロワートランジスタを介してフィードバックする方式ではなく、入力 MOSFET のドレイン端から直接フィードバックをかけるような回路方式を用いることで GHz 領域での基板を介したクロストークを低減できることを明らかにした。測定の結果、従来のプリアンプ回路に比べて約 5dB 低クロストークとなることが示された。また、この回路方式を用いたプリアンプを試作し、トランスインピーダンスゲイン 58dB  $\Omega$  で周波数帯域 5.9GHz(-3dB 落ち)という CMOS では最高レベルの広帯域特性を達成した。

さらにゲート長  $0.15\ \mu\text{m}$  の CMOS を用いてこのプリアンプを含んだ 1 チップ光受信器を試作した。この回路は CMOS の 1 チップ光受信器で初めて従来の 50Mb/s を上回る 2.4Gb/s の動作を達成した(電源電圧 2V)。また、このときの消費電力は ECL 出力トランジスタでの電力を含まない状態で 104mW と従来の Si bipolar や GaAs FET の光受信器と比較して 1/7 以下の低消費電力を達成した。この低消費電力は低クロストークなプリアンプを使用することで全体を CMOS で 1 チップ化できたことによる。

## 6. 結論

バルク MOSFET を用いて GHz 領域で動作する光通信用 IC を実現するための問題点として、寄生抵抗・容量および基板を介したクロストークについて研究を行い、その解決策を示した。さらに、その知見をもとに 1 チップの CMOS 光受信器を試作し、CMOS の光受信器で初めて 2.4Gb/s の動作を達成した。このように、微細 MOSFET の高周波応用への可能性を示したことで、今後、この分野のデバイスや回路の開発が活発化するものと考えられる。

## 審査結果の要旨

近年、ギガビット級の光通信の普及に伴い、低消費電力かつ高速な光通信用 IC を CMOS 集積回路で実現することが大きな課題となってきた。本論文は、MOSFET における高速化のための素子設計、基板クロストーク現象、アナログ・ディジタル混載回路における高速回路を体系的に研究し、GHz 帯のアナログ・ディジタル混載の 1 チップ光受信器を、バルク CMOS 集積回路を用いて実証した成果をとりまとめたもので、全文 6 章からなる。

第 1 章は序論である。

第 2 章では、MOSFET における高速化のための素子設計を検討している。MOSFET の遅延時間におよぼす要因を抵抗成分と容量成分に分離して定量的に明らかにしている。拡散層領域の寄生容量を低減する Localized Implant を導入し、ゲート長が  $0.15\mu\text{m}$  の MOSFET において、約 30% の動作速度の向上を実証している。これらは、実用上重要な成果である。

第 3 章は、アナログ・ディジタル混載回路において問題となる基板クロストーク現象を検討している。拡散層間を伝搬する基板クロストークによる拡散層電位の変動現象と、基板クロストークによって引き起こされる MOSFET のしきい値変動現象が、支配的であることを見いだした。両現象に対する解析的モデルを提案し、その正当性を実験的に確認している。上記基板クロストーク現象の抑制法として、①Gm を高める回路設計手法、②新しい浅いポケット注入製造方法を用いることによる基板バイアス効果の抑制、③Localized Implant によるアナログ回路部におけるソース・ドレイン領域の接合容量の低減、④Asymmetrical Implant によるディジタル回路部におけるソース電位の安定化、以上 4 つの手法を提案し、約 15dB の低クロストーク化を実験的に確認している。これらは、実用上有用な成果である。

第 4 章では、前章までの結果を用いてバルク CMOS 集積回路を用いた DEMUX を製作し、世界最高速の 2.8GHz の高速動作を 220mW の低消費電力で実現できたことを実験的に確認している。これは、実用上有用な成果である。

第 5 章では、前章までの結果を用いてバルク CMOS 集積回路を用いた 1 チップ光受信器を製作し、世界最高速の 2.4GHz の高速動作を 104mW の低消費電力で実現できたことを実験的に確認している。これらは、実用上有用な成果である。

第 6 章は、結論である。

以上要するに本論文は、MOSFET における高速化のための素子設計、基板クロストーク現象、アナログ・ディジタル混載回路における高速回路を体系的に研究し、GHz 帯のアナログ・ディジタル混載の 1 チップ光受信器を、バルク CMOS 集積回路を用いて実証した成果をとりまとめたもので、電子工学ならびに半導体工学に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。